

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-266351

(43)公開日 平成9年(1997)10月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 33/00

H 0 1 L 33/00

C

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21)出願番号

特願平8-74220

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(22)出願日

平成8年(1996)3月28日

(72)発明者 早川 利郎

神奈川県足柄上郡開成町宮台798番地 富

士写真フイルム株式会社内

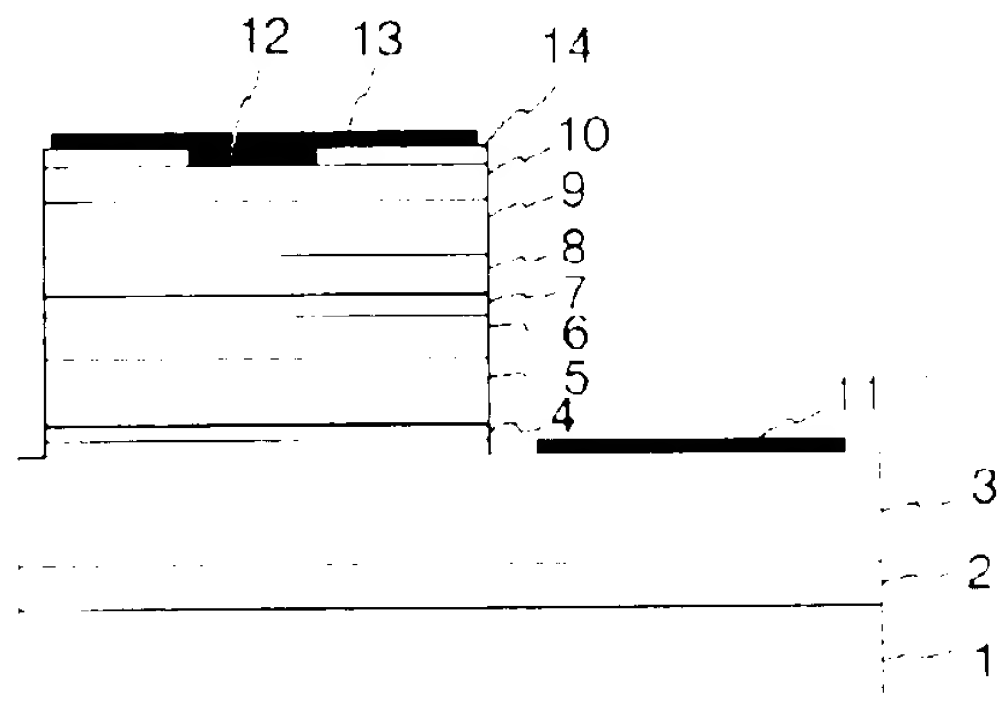
(74)代理人 弁理士 柳田 征史 (外1名)

(54)【発明の名称】 A l l n G a N系半導体発光素子

(57)【要約】

【課題】 A l l n G a N系半導体発光素子において、インヒビデンスを低減する

【解決手段】 サファイア面基板1上に、p-GaN低温バッファ層2、p-GaNバッファ層3、p-In_{0.1}Ga_{0.9}Nバッファ層4、クラッド層、p-Al_{0.1}Ga_{0.9}Nクラッド層5、p-GaN光ガイド層6、活性層7、n-GaN光ガイド層8、n-Al_{0.1}Ga_{0.9}Nクラッド層9およびn-GaNキャップ層10を順次成長する。SiN膜14をプラズマCVDで全面に製膜した後、フォトリソグラフィとエッチングにより発光領域以外の不要部分を除去し、塩素イオンを用いたRIEにより発光領域以外のエピタキシャル層をp-GaNバッファ層3が露出するまでエッチング除去する。SiN膜14に電流注入のためのストライプ状窓12を作製後、該ストライプ状窓12を覆うようにn側電極13としてTi/Al/Ti/Auを、またp-GaNバッファ層の露出部にp側電極11としてNi/Auを蒸着・窒素中アニールしてオーミック電極を形成する。



【特許請求の範囲】

【請求項1】 基板上の少なくとも一部に、少なくともp型クラッド層、活性層およびn型クラッド層を含む複数の半導体層と絶縁膜とがこの順に積層され、前記絶縁膜に単一モード発振をさせるための狭ストライフの電流注入窓が形成され、前記絶縁膜上に前記電流注入窓を覆うようにn側電極が形成され、前記p型クラッド層側にp側電極が形成されているAl_xIn_{1-x}Ga_{1-y}N_y (0≦x,y≦1)系半導体発光素子において、

前記p側電極が前記半導体層と接触する面積が前記電流注入窓の面積よりも広いことを特徴とするAl_xIn_{1-x}Ga_{1-y}N_y系半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光素子の構造に関し、特に詳しくは、発光ダイオード(LED)および半導体レーザを含むAl_xIn_{1-x}Ga_{1-y}N_y系半導体発光素子に関するものである。

【0002】

【従来の技術】従来より、500nmを切る短波長光源としてAlInGaN系のLEDおよび半導体レーザが注目されている。本材料は青・緑の波長領域の高輝度LEDとして極めて優れた特性を有し(文献(1) Jpn. J. Appl. Phys. vol. 34 No. 7A, pp.1797-799(1995))、信号機や屋外表示装置の光源として実用化が進められている。また、半導体レーザとしては、最近室温で417nmのハルツ発振が報告された(文献(2) Jpn. J. Appl. Phys. vol. 35, No. 1B, pp.174-76(1996))。

【0003】上記文献(2)記載のAlInGaN系半導体レーザでは、p型半導体層と電極との接触抵抗が非常に高いため、ハルツ駆動時の動作電圧が数十ボルトと高くなり、発振時に素子に投入される電力は通常の素子より10倍程度高くなるため、素子の発熱や変調時の歪みが大きくなるという欠点がある。そこで、素子のインピーダンスの低減が課題とされている。

【0004】また、上記AlInGaN系半導体レーザの応用としては短波長化により現在実現されている650nm半導体レーザより格段に小さい径の光スポットが得られることから、光ディスクメモリの高密度化への応用が最も期待される。このためには、安定な光ビームが得られる単一モードレーザの実現が必須であり、AlInGaN系で期待される800-900nmの短波長域では横モード安定化のための作りわけの光導波路のストライフ幅は2μm程度がそれ以下の狭ストライフであることが必要となる。

【0005】

【発明が解決しようとする課題】しかしながら、上記文献に示される従来構造の素子においては基板上にn型半導体層を先に積層した後にp型半導体層を積層して作製する構成をとっており、狭ストライフを設ける場合、p型半導体層と電極との接触面積が狭められ、さらにイン

ピーダンスを増加させることとなる。また、p型半導体層に狭ストライフを形成すると、p型半導体自体の高抵抗率もインピーダンス増加の要因となる。

【0006】本発明は、上記事情を鑑みてなされたものであり、インピーダンスを低減したAlInGaN系半導体発光素子を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の半導体発光素子は、基板上の少なくとも一部に、少なくともp型クラッド層、活性層およびn型クラッド層を含む複数の半導体層と絶縁膜とがこの順に積層され、前記絶縁膜に単一モード発振をさせるための狭ストライフの電流注入窓が形成され、前記絶縁膜上に前記電流注入窓を覆うようにn側電極が形成され、前記p型クラッド層側にp側電極が形成されているAl_xIn_{1-x}Ga_{1-y}N_y (0≦x,y≦1)系半導体発光素子において、前記p側電極が前記半導体層と接触する面積が前記電流注入窓の面積よりも広いことを特徴とするものである。

【0008】すなわち、従来と異なり、基板側にp型半導体層を先に成長しその後n型半導体層を成長してpn接合を作製する構造をとったことにより、素子のストライフ構造を形成する部分、すなわち面積が小さくなる部分にn型半導体層を用い、抵抗率が高く電極との接触抵抗も高いp型半導体層の面積を広くとり、p側電極との接触面積も広げることにより、素子のインピーダンスを下げたことを特徴とするものである。

【0009】

【発明の効果】本発明の半導体発光素子は、基板上にp型半導体層を先に成長し、その後n型半導体層を成長させる構造をとったことにより、ストライフ構造の発光素子において、p側半導体と電極との接触面積も広げることができ、リッジ構造を有する発光素子の場合には、p型半導体層の面積を広くすることができ、これにより素子のインピーダンスを低減でき、動作電圧を低減し、高効率化・高出力化が実現できる。また、変調時の変調周波数の向上や変調歪みの低減を図ることができ、従って、これらの光源を用いた印刷・写真・医療画像などのハードコピー出力システムの高速化・高品位化を実現することができる。

【0010】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を説明する。

【0011】図1は、本発明に係る第一の実施の形態の半導体レーザ断面模式図を示す。サファイア(6)面基板1上にMOCVD法を用いて、p-GaN低温バッファ層2、p-GaN バッファ層3 (Mgドーフ、5μm)、p-In_{0.1}Ga_{0.9}N バッファ層4 (Mgドーフ、0.1μm)、p-Al_{0.1}In_{0.9}Ga_{0.8}N クラッド層5 (Mgドーフ、0.5μm)、p-GaN 光ガイド層6 (Mgドーフ、0.1μm)、アンダーフ活性層7、p-GaN 光ガイド層8 (Siドーフ、0.1μm)、n-Al_{0.1}In_{0.9}Ga_{0.8}N

5

n-GaNクラッド層9 (Siドーパ、 $0.5\mu\text{m}$) およびn-GaNキャップ層10 (Siドーパ、 $0.3\mu\text{m}$) を順次成長する。活性層7は、アンドープAl_{0.15}Ga_{0.85}N障壁層 ($0.01\mu\text{m}$)、アンドープIn_{0.15}Ga_{0.85}N量子井戸層 (3nm) およびアンドープAl_{0.15}Ga_{0.85}N障壁層 ($0.01\mu\text{m}$) の3層構造とする。

【0012】その後、窒素ガス雰囲気中で熱処理によりp型不純物を活性化する。

【0013】次に、SiN膜14をプラズマCVDで全面に製膜した後、フォトリソグラフィとエッチングにより発

光領域以外の不要部分を除去する。【0014】この後、塩素イオンを用いたRIBE (reactive ion beam etching) により発光領域以外のエピタキシャル層をp-GaNバック層3が露出するまでエッチング除去する。この際にレーザの共振器端面を形成する。

【0015】SiN膜14に電流注入のためのストライプ状窓12 (幅 $10\mu\text{m}$) を作製後、該ストライプ窓12を覆うようにn側電極13としてTi/Al/Ti/Auを、またp-GaNバック層3の露出部にp側電極11としてNi/Auを蒸着・窒

素中アニールしてオーミック電極を形成する。【0016】図2は、本発明に係る第二の実施の形態のレーザ光導波構造を有する半導体レーザ断面模式図を示す。サファイア片面基板1上にMOCVD法を用いて、p-GaN低温バック層2、p-GaNバック層3 (Mgドーパ、 $5\mu\text{m}$)、p-In_{0.15}Ga_{0.85}Nバック層4 (Mgドーパ、 $0.1\mu\text{m}$)、p-Al_{0.15}Ga_{0.85}Nクラッド層5 (Mgドーパ、 $0.5\mu\text{m}$)、p-GaN光ガイド層6 (Mgドーパ、 $0.1\mu\text{m}$)、アンドープ活性層7、n-GaN光ガイド層8 (Siドーパ、 $0.1\mu\text{m}$)、n-Al_{0.15}Ga_{0.85}Nクラッド層9 (Siドーパ、 $0.5\mu\text{m}$)、n-GaNキャップ層10 (Siドーパ、 $0.3\mu\text{m}$) を成長する。活性層7は、アンドープAl_{0.15}Ga_{0.85}N障壁層 ($0.01\mu\text{m}$)、アンドープIn_{0.15}Ga_{0.85}N量子井戸層 (3nm)、4層、アンドープIn_{0.15}Ga_{0.85}N障壁層 ($0.01\mu\text{m}$)、3層よりなる多重量子井戸構造およびアンドープAl_{0.15}Ga_{0.85}N障壁層 ($0.01\mu\text{m}$) とする。

【0017】その後、窒素ガス雰囲気中で熱処理によりp型不純物を活性化する。

【0018】次に、フォトリソグラフィとエッチングにより、n-Al_{0.15}Ga_{0.85}Nクラッド層9のn-GaN光ガイド層8から $0.1\mu\text{m}$ までを残し厚として幅 $20\mu\text{m}$ 程度のリッジストライプを形成する。この際、リッジ端面近傍を素子上部より見た模式図 (図3) に示すように後でエッチング形成する端面の部分に相当する領域は幅を $20\mu\text{m}$ と広く形成する。実線10はリッジエッチングの形状、波線11は端面形成エッチングの形状・位置関係を示す。図のようにレーザ端面近傍でリッジ幅を広げているのはリッジ部形状の端面の平坦性へ及ぼす悪影響を低減するためである (J. Quantum Electronics, vol. 27, pp. 1319-1331 (1991))。次に、SiN膜14をプラズマCVDで全面に

4

製膜した後、そのSiN膜14をフォトリソグラフィとエッチングにより発光領域以外の不要部分を除去する。

【0019】この後、塩素イオンを用いたRIBEにより発光領域以外のエピタキシャル層をp-GaNバック層3が露出するまでエッチング除去する。この際にレーザの共振器端面を形成する。

【0020】この後、前記第一の実施の形態と同様にSiN膜14に電流注入のためのストライプ状窓12を作製後、n側電極13としてTi/Al/Ti/Au、p側電極11としてNi/Auをそれぞれ蒸着・窒素中アニールしてオーミック電極を形成する。

【0021】以上2件の実施の形態において、ストライプ上部のn-GaNキャップ層10へのn側電極接触幅は $2-10\mu\text{m}$ 程度であるが、p-GaNバック層3上に形成するp側電極11の半導体層との接触面積はチップ全体の幅を広げることによりn側電極の10-100倍程度広くとることが可能である。従って、p型半導体層の接触抵抗率がn型半導体層に比較して1-2桁高い場合でも素子性能の低下を防止することができる。また、電流通路となるp-GaNバック層3の抵抗が問題となる場合には、厚みを更に厚くすることにより低抵抗化できる。

【0022】すなわち、本発明は、主にn型キャップ層とp型バック層の性質と構成要因により素子のインピーダンスを低減するものである。

【0023】従って、半導体レーザの層構造としては上記実施の形態以外に量子井戸を用いないような層構造など一般に考えられる種々の構造を採用することが可能である。

【0024】また、基板としては、絶縁性物質ではスピンデル構造を有する物質 (例えば、AlN/SiC) 等のサファイア以外の任意のものを用いることができる。更に、サファイアのような絶縁性物質ではなく、SiCのような導電性物質の基板11を用いて図1、図5のような素子構造とする場合にも電極との接触面積の小さい半導体層をn型とし、p側電極11がp型半導体層と接触する面積を広くとることができるため低抵抗化が可能である。

【0025】前記実施の形態においては、レーザ端面を塩素イオンを用いたRIBEにより形成したが、通常の研磨や光学研磨法などを用いて形成してもよい。

【0026】以上半導体レーザ素子として述べたが、同様の構造で端面発光型LEDとして用いる場合には、効果があることは言うまでもない。前述の文献 (1) に記載されているような通常のLED構造においても、発光部の上部電極は狭い方が光を遮断する面積が小さく光りの取り出し効率が上昇するためp型層上にn型層を形成した本発明の構造を用いると低抵抗化できて有利である。更に、LEDにおいては上部電極直下の電流拡がりか大きい方が均一発光が得られるので、下部にp型層を用いて低抵抗化したほうがさらに有利である。

【図面の簡単な説明】

5

6

【図1】本発明の第一の実施の形態に係る半導体発光装置の断面模式図

【図2】本発明の第二の実施の形態に係る半導体発光装置の断面模式図

【図3】図2に示す本発明の第二の実施の形態に係る半導体発光装置におけるリッジストライプと端面形成位置との関係を示す説明図

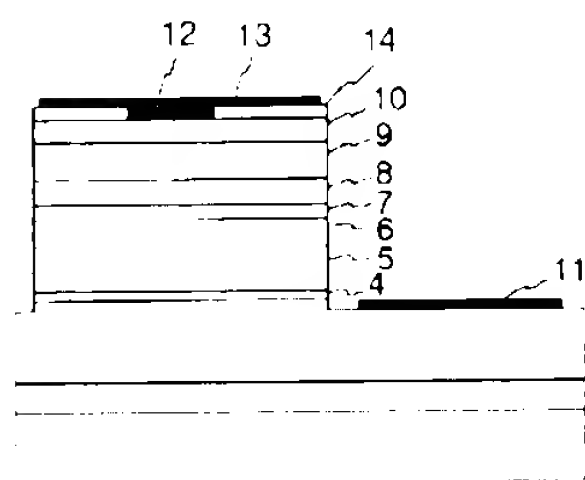
【図4】本発明のその他の実施の形態に係る半導体発光装置の断面模式図

【図5】本発明のその他の実施の形態に係る半導体発光装置の断面模式図

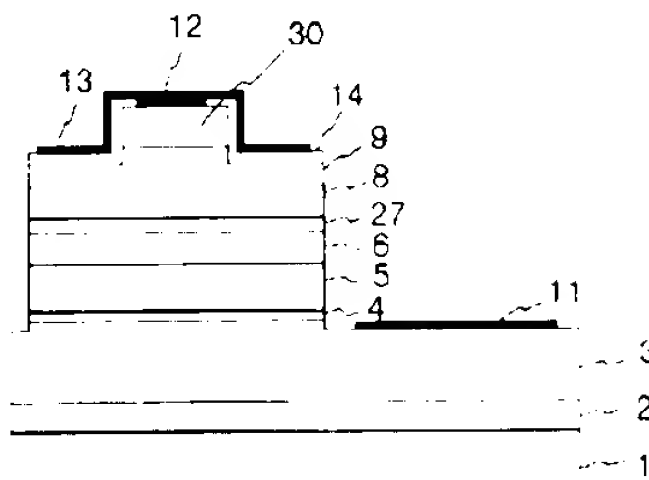
【符号の説明】

- 1 サファイア基板
- 2 p-GaN低温バッファ層
- 3 p-GaNバッファ層
- 4 p-In_{0.1}Ga_{0.9}Nバッファ層
- 5 p-Al_{0.1}Ga_{0.9}Nクラッド層
- 6 p-GaN光ガイド層
- 7 アンダーフ活性層
- 8 n-GaN光ガイド層
- 9 n-Al_{0.1}Ga_{0.9}Nクラッド層
- 10 n-GaNキャップ層
- 11, 15 電極
- 11 SiN膜

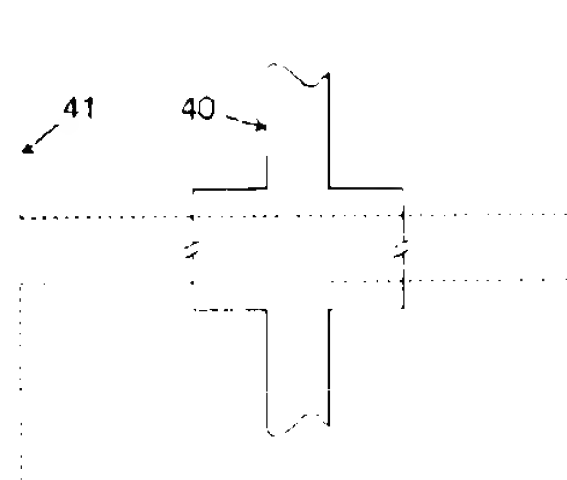
【図1】



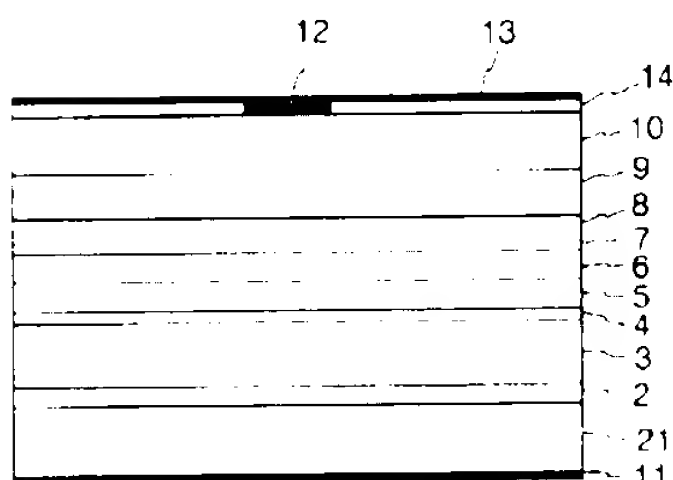
【図2】



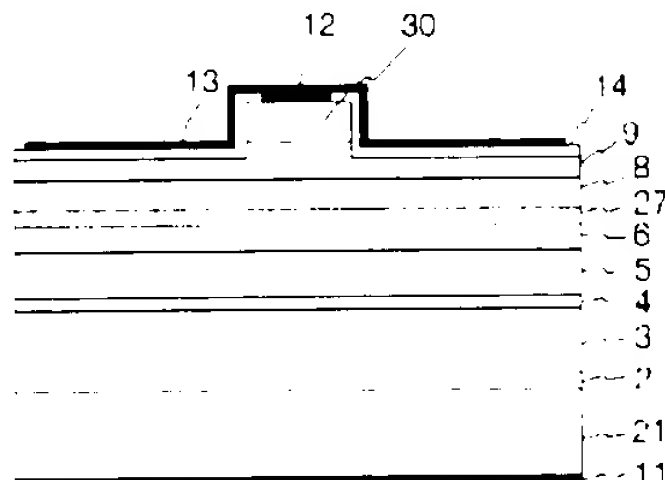
【図3】



【図4】



【図5】



DOCUMENT-IDENTIFIER: JP 09266351 A
TITLE: ALINGAN SEMICONDUCTOR LIGHT EMITTING ELEMENT

DID:
JP 09266351 A

EPAR:

SOLUTION: Sequentially grown on a sapphire face substrate 1 are a p-GaN

low-temperature buffer layer 2, p-GaN buffer layer 3, p-In_{0.1}Ga_{0.9}N buffer layer 4, a cladding layer,

a p-Al_{0.15}Ga_{0.85}N cladding layer 5, a p-GaN light guiding layer

6, an active layer 7, an n-GaN light guiding layer 8, an n-Al_{0.15}Ga_{0.85}N cladding layer 9 and an n-GaN cap layer 10.

The grown structure is subjected to a plasma CVD process to form an SiN film 14

over its entire surface, subjected to photolithographic and etching processes

to remove unnecessary parts except for an light emitting region therefrom, and

then subjected to a reactive ion beam etching(RIBE) process using chlorine ions

to remove an epitaxial layer other than the light emitting region until the

p-GaN buffer layer 3 is exposed. The SiN film 14 is formed there in with a

stripe-shaped window 11 for current injection, formed thereon with Ti/Al/Au

layers as an n-side electrode 13 which covers the stripe window 12, and then an

exposed area of the p-GaN buffer layer is deposited and annealed in a nitrogen

atmosphere to form Ni/Au layers as a p-side ohmic electrode 11.